

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-121900

(43)Date of publication of application : 30.04.1999

(51)Int.Cl.

H05K 3/00

B23B 35/00

B26F 1/00

(21)Application number : 09-296480

(71)Applicant : SUMITOMO ELECTRIC IND LTD

(22)Date of filing : 15.10.1997

(72)Inventor : KAKIHARA TAKASHI
SHIKAYAMA HIDEAKI

(54) PRODUCTION OF CIRCUIT BOARD

(57)Abstract:

PROBLEM TO BE SOLVED: To ensure highly accurate machining while shortening the machining time by employing a both-sided FPC plate and drilling an insulation layer using a bored copper foil on one side as a mask.

SOLUTION: A copper foil layer is formed on the opposite sides of a polyimide film to produce a both-sided board.

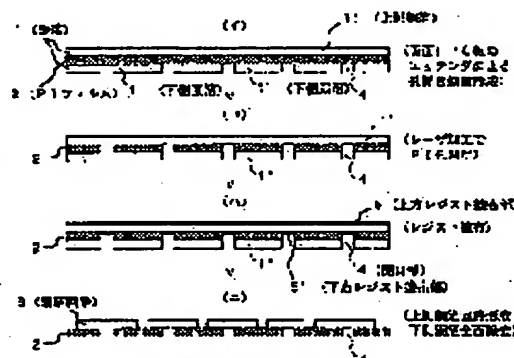
An opening 4 is then made in the lower copper foil 1" of the both-sided FPC board at a part of a PI film 2 corresponding to a through hole.

The PI film 2 is then subjected to laser machining using the copper foil on one side having the bored copper face as a mask thus forming a bored PI film.

When the machined board is immersed into an electrodeposition resist tank,

electrodeposition resist adheres only to the upper front copper foil 1'. The rear part 1" of copper foil can also be coated and upper and lower resist coated parts 5, 5' are formed.

The copper foil mask layer on one side is removed while leaving the upper copper foil 1' and a conductor circuit is formed simultaneously on the upper copper foil 1'.



BEST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-121900

(43) 公開日 平成11年(1999) 4月30日

(51) Int.Cl.⁸

識別記号

F I

H 0 5 K 3/00

H 0 5 K 3/00

K

B 2 3 B 35/00

B 2 3 B 35/00

B 2 6 F 1/00

B 2 6 F 1/00

Z

審査請求 未請求 請求項の数4 F D (全 5 頁)

(21) 出願番号

特願平9-296480

(22) 出願日

平成9年(1997)10月15日

(71) 出願人 000002130

住友電気工業株式会社

大阪府大阪市中央区北浜四丁目5番33号

(72) 発明者 柿原 隆史

愛知県名古屋市南区菊住一丁目7番10号

住友電気工業株式会社名古屋製作所内

(72) 発明者 鹿山 英明

愛知県名古屋市南区菊住一丁目7番10号

住友電気工業株式会社名古屋製作所内

(74) 代理人 弁理士 伊藤 積 (外2名)

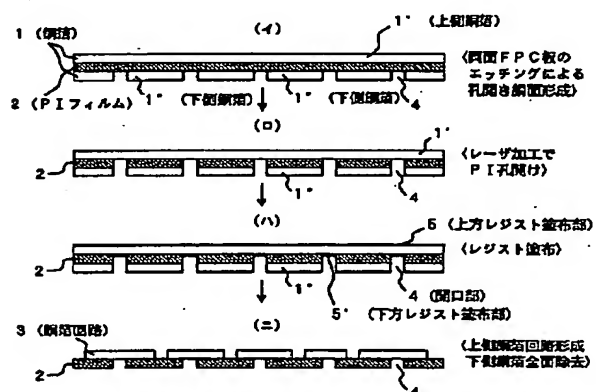
(54) 【発明の名称】 回路基板の製造方法

(57) 【要約】

【解決手段】 ① 導体パターン面と絶縁層面を有し、絶縁層に、電気接続用の小孔を有する回路基板の製造に当たり、導体パターンの反対側にある絶縁層の孔開き加工面に、予め絶縁層の孔開き位置と同じ孔を有する金属のマスク層を形成し、絶縁層の孔開き加工後に金属マスク層を除去する、回路基板の製造方法。② 金属マスク層の除去に当たり、回路面及びその反対側の絶縁層の孔により露出している回路裏面の両方をレジストにより保護すること。③ 回路基板がFPC基板であること。

【効果】 加工時間の短縮、高精度な加工が可能となる効果が得られる。

(回路形成工程)



【特許請求の範囲】

【請求項1】 片面に導体パターン、片面に絶縁層を有し、導体パターン部の絶縁層に、電気的接続を行うための孔を有する回路基板の製造方法において、絶縁層の孔開けに際して、導体パターンの反対側にある絶縁層の孔開き加工面に、予め絶縁層の孔開き位置と同じ孔を有する金属のマスク層を形成しておき、絶縁層の孔開け加工後にエッチング等で金属マスク層を除去することを特徴とする、回路基板の製造方法。

【請求項2】 金属マスク層を除去するに当たり、回路面及び回路の反対面の絶縁層の孔により露出している回路裏面の両方をレジストにより保護する工程を含むことを特徴とする、請求項1記載の回路基板の製造方法。

【請求項3】 レジストが電着レジストであることを特徴とする、請求項2記載の回路基板の製造方法。

【請求項4】 回路基板が可挠性プリント回路基板であることを特徴とする、請求項1～3のいずれかに記載の回路基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、片面プリント回路基板、特に片面FPC基板に電気接続用の小孔を形成する方法の改良に関する。より詳細には、本発明は、両面FPC板を用い、有孔片面銅箔をマスクとして、絶縁層に孔開け加工を行う片面FPC回路基板に電気接続用の小孔を形成する方法の改良に関する。

【0002】

【従来の技術】従来、高密度配線を実現するのに、多層プリント回路基板の電気接続用の小孔（スルーホール）の微細化が必須となる。ところが、そのために、孔開け加工をするためには、片面FPC回路基板の絶縁基板側からレーザー加工により1孔ずつ加工しているのが現状である。図2は、従来法による片面FPC基板にレーザー孔開き加工によりスルーホールを行う方法を説明する模式図であり、(イ)はその回路形成工程を説明する模式図であり、(ロ)はその回路側平面図であり、(ハ)はPIフィルム側平面図である。図2において、1は銅箔、2は絶縁フィルム、特にPI（ポリイミド）フィルム、3は銅箔回路、4は開口部（孔）である。

【0003】即ち、図2に示されるように、まず、PIフィルム2の片面に銅箔1を設けた片面FPC板を準備し、次に該PIフィルム側から1～4孔を1孔ずつ炭酸ガスガルバノレーザー機等によりレーザー加工し、最終的に銅箔側をエッチング等の手段により所定以外の銅箔部分を除去して導体パターンからなる銅回路を形成する方法によるのが普通である。しかしながら、この方法によると、レーザー機により1つ1つ孔開け加工する必要があるため、このために時間を余計に要してレーザー加工費が高つく上に、個々に孔開け加工を行うため揃った孔を形成するのが難しい問題があった。

【0004】

【発明が解決しようとする課題】本発明の目的は、出発基板として両面FPC板を用い、孔開け加工により電気接続用の小孔付き片面FPC基板を短時間に且つ精度良く製造する方法の改良に関する。

【0005】

【課題を解決するための手段】本発明者は上記課題を種々検討した結果、孔開け加工により電気接続用の小孔付き片面FPC基板の製造に当たり、両面FPC板を用い有孔片面銅箔をマスクとして、絶縁層に孔開け加工を行うことにより、加工時間の短縮、高精度な加工が可能となることを見出し、本発明を完成するに至った。

【0006】即ち、本発明は：

① 片面に導体パターン、片面に絶縁層を有し、導体パターン部の絶縁層に、電気的接続を行うための孔を有する回路基板の製造方法において、絶縁層の孔開けに際して、導体パターンの反対側にある絶縁層の孔開き加工面に、予め絶縁層の孔開き位置と同じ孔を有する金属のマスク層を形成しておき、絶縁層の孔開け加工後にエッチング等で金属マスク層を除去する、回路基板の製造方法を提供する。また、

② 金属マスク層を除去するに当たり、回路面及び回路の反対面の絶縁層の孔により露出している回路裏面の両方をレジストにより保護する工程を含む点にも特徴を有する。また、

③ レジストが電着レジストである点にも特徴を有する。また、

④ 回路基板が可挠性プリント回路基板である点にも特徴を有する。

【0007】以下、本発明を図面に基づいて詳細に説明する。図1は、本発明による、両面FPC板を用いて孔開け加工により電気接続用の小孔（スルーホール）を行う方法を説明する模式図である。図1において、1は銅箔、1'は上側銅箔、1''は下側銅箔、2はPIフィルム、3は銅箔回路、4は開口部、5は上方レジスト塗布部、5'は下方レジスト塗布部である。

【0008】図1において、(イ)両面FPC板において、予定した電気接続用の小孔に相当するPIフィルム2の有孔除去部となる部分に対応する有孔4を、エッチング等により下側銅箔1''に作っておいて孔開き銅面を形成する。

(ロ)その片面銅箔をマスクとして、PIフィルム2上にレーザー加工等で孔開け加工を行いPI孔明けフィルムを形成する。

(ハ)次に、電着レジスト槽中に上記加工済み基板を浸漬し、上側銅箔1'のみに給電し、銅箔裏面1''に給電しないで、電気メッキと同じ要領で15秒間電氣的にレジストを塗布すると、全面上側銅箔1'全面のみに電着レジストが塗布され、且つその反対面の絶縁層の孔により露出している銅箔裏面部分1''にも塗布できて、夫々上

方レジスト塗布部5、下方レジスト塗布部5'を形成する。

(二) 導体パターンを形成予定の上側銅箔1'を残して、エッチング等により前記片面銅箔マスク層を除去する。その後、(図示されていないが、)上側銅箔1'にエッチング等適宜手段により導体回路を形成して片面FPC基板を作製した。また、(ハ)、(二)工程と導体回路形成とを同時に行うこともできる。

【0009】本発明に用いるプリント回路基板としては、ポリイミド基板が代表的であるが、それに限定されず、例えば通常のエポキシ樹脂やポリアミド含浸ガラス繊維基板も使用できる。また、本発明の方法は、特にFPC基板に応用することが好適である。絶縁フィルムの孔明け加工には、炭酸ガスレーザーの使用が加工速度、孔形成の仕上がりの点から望ましいが、それに限定されず、YAGレーザー、エキシマレーザー、気相エッチング、化学エッチング等も使用可能である。レジストとしては、電着レジストに限定されず、感光性樹脂の適用(フィルム)、液体レジストの塗布又はスプレーも使用が可能である。絶縁フィルムとしては特に制限されないが、例えばポリイミドフィルムが代表的であり、その他ポリエステルフィルム等も使用可能である。

【0010】

【実施例】本発明を実施例を用いて具体的に説明するが、これらは本発明の範囲を制限しない。

(実施例1) 厚み50 μ mのポリイミドフィルムの両面に18 μ mの銅箔層をキャスト法により形成して両面基板を予め製造する。図1-(イ)に従って、予定したスルーホールに相当するPIフィルム2の有孔除去部となる部分に対応する開口部(孔)(300 μ m径)4を、エッチングにより両面FPC板の下側銅箔1''に作って孔開き銅面を形成する。図1-(ロ)に従って、孔開き銅面を有する片面銅箔をマスクとして、PIフィルム2上に住友重機製レーザー加工機を用いてスキャニング方式(レーザービームを基板加工面に連続照射させながら、加工エリアを走査させる方法)で5ショット相当のエネルギーでレーザー加工を行い、PI孔明けフィルムを形成する。その場合、3万個の孔の加工に15分を要したに過ぎない。この場合、孔の寸法が300 μ m、位置精度が $\pm 20\mu$ m、大きさ精度 $\pm 20\mu$ mの高精度でレーザー加工を行うことができた。

【0011】図1-(ハ)に従って、電着レジスト槽中に上記加工済み基板を浸漬し、電気メッキと同じ要領で15秒間電着してレジストを付着すると、上側銅箔1'に給電し銅箔裏面に給電しないので、全面上側銅箔1'全面のみに電着レジストが塗布され、且つその反対面の絶縁層の孔により露出している銅箔裏面部分1''にも塗布できて、夫々上方レジスト塗布部5、下方レジスト塗布部5'を形成する。図1-(ニ)に従って、導体パターンを形成予定の上側銅箔1'を残して、エッチング等により前記片面銅箔マスク層を除去すると同時に、上側銅箔1'にエッチングにより所定の導体回路を形成して片面FPC基板を作製した。

【0012】(比較例1) 図2に記載の方法に従って、ガルバノ式炭酸ガスレーザー加工機により5ショット/孔の条件でレーザー孔明け加工を行い片面FPC基板を作製した。その場合、3万個の孔の加工に30分を要した。

【0013】

【発明の効果】以上、本発明では、電気接続用の小孔(スルーホール)付き片面FPC基板の製造に当たり、出発原料として両面FPC板を用い、予め絶縁層の孔開き位置と同じ孔を有する片面銅箔をマスクとして、絶縁層に孔明け加工を行ったので、加工時間の短縮、高精度な加工が可能となる効果が得られる。

【図面の簡単な説明】

【図1】本発明による、両面FPC板を用いてレーザー等を用いた孔開き加工により電気接続用の小孔(スルーホール)を行う方法を説明する模式図である。

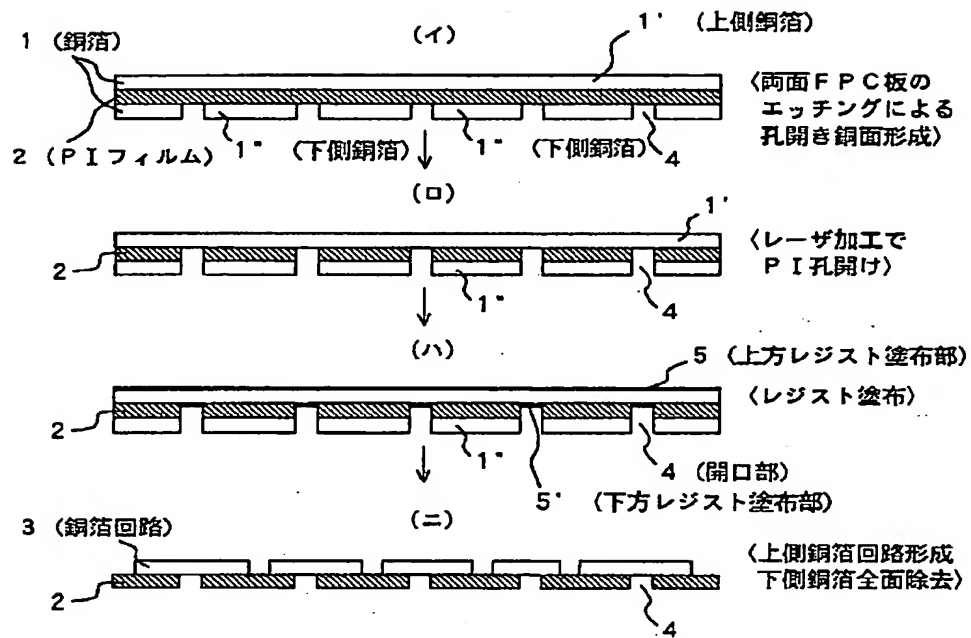
【図2】従来法による片面FPC基板にレーザー孔開き加工により電気接続用の小孔(スルーホール)形成加工を行う方法を説明する模式図であり、(イ)はその回路形成工程を説明する模式図であり、(ロ)はその回路側平面図であり、(ハ)はPIフィルム側平面図である。

【符号の説明】

- 1 銅箔
- 1' 上側銅箔
- 1'' 下側銅箔
- 3 銅箔回路
- 4 開口部(孔)
- 5 上方レジスト塗布部
- 5' 下方レジスト塗布部

【図1】

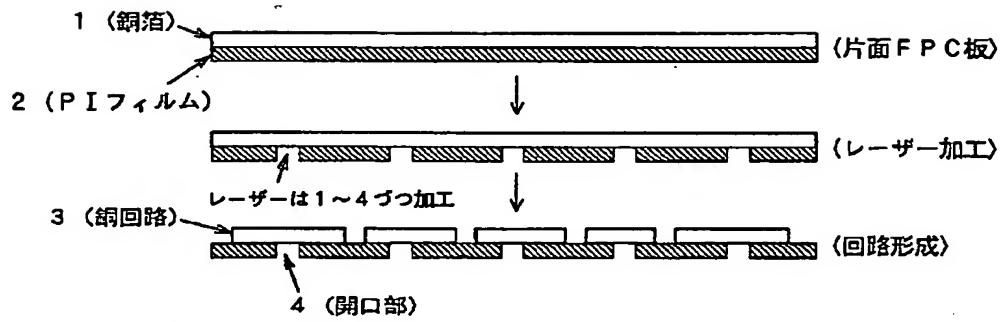
〈回路形成工程〉



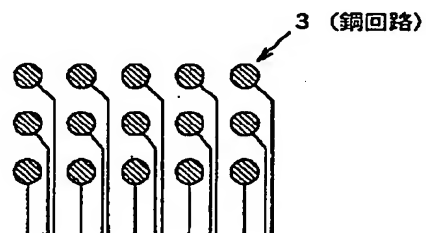
【図2】

〈従来法〉

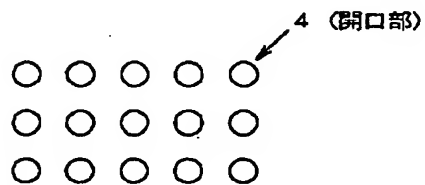
(イ) 〈回路形成工程〉



(ロ) 〈回路側平面図〉



(ハ) 〈PI側平面図〉



This Page is inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLORED OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images
problems checked, please do not report the
problems to the IFW Image Problem Mailbox**